

GENERACIÓN DE IMÁGENES SAR EN UN CLUSTER DE ESTACIONES UNIX

F.Fraile (*), A.Martínez (*), V.Moreno (*), J.Mallorquí (**), L.Nogueira (**), A.Broquetas (**)

(*) INDRA ESPACIO, C/ Mar Egeo s/n. 28830 S.Fernando de Henares, Madrid

(**) Dep.Teoría de la Señal y Comunicaciones, U.Politécnica de Catalunya, C/Sor Eulalia Anzizu
s/n 08071-Barcelona

ABSTRACT: La generación de imágenes SAR a partir de los datos brutos es un complejo proceso matemático que involucra una gran cantidad de datos. Considerando el aumento del uso de imágenes SAR y su utilización en aplicaciones que requieren una respuesta rápida, resulta atractivo el empleo de métodos de paralelización del software que permitan acelerar la obtención de imágenes.

En el marco del proyecto PCI-II de ESPRIT, se ha procedido a la adaptación de un procesador SAR secuencial a una arquitectura paralela. La configuración hardware que se ha utilizado es una red de estaciones de trabajo UNIX; de esta manera es posible obtener un aumento de las prestaciones computacionales del procesador sin necesidad de inversiones en nuevos equipos.

INTRODUCCIÓN

El radar de apertura sintética, SAR, ocupa un puesto destacado entre los sensores remotos. En analogía con los sensores ópticos, el SAR produce imágenes de alta resolución de la superficie terrestre [1]. Los datos brutos SAR están constituidos por la sucesión de pulsos recibidos por la antena; estos datos no forman una imagen. El propósito del procesado SAR es la generación de una imagen a partir de los datos brutos.

El enfoque de los datos brutos SAR es un problema bidimensional consistente en la correlación de las señales retrodispersadas con una función de referencia: la función de respuesta a impulso del sistema SAR [2]. Debido a la gran carga computacional de este proceso y a la creciente demanda de imágenes

SAR, el desarrollo de algoritmos eficientes de generación de imágenes es un campo de interés.

En este trabajo se presentan las actividades que se han realizado para trasladar un procesador SAR secuencial a una arquitectura paralela; se pretende utilizar conjuntamente la potencia de una serie de estaciones de trabajo UNIX conectadas en red para reducir el tiempo de proceso. En primer lugar se describen la estructura de los datos y las características del procesador secuencial. Los detalles del diseño de la paralelización del software así como algunos resultados preliminares son expuestos a continuación. Finalmente se comentan las conclusiones del trabajo.

DESCRIPCIÓN DE LOS DATOS Y DEL ALGORITMO SECUENCIAL

Los datos brutos SAR que se han utilizado en el proyecto corresponden a la escena estándar de 100 x 100 km² de los satélites europeos ERS-1 y 2. Los datos brutos están agrupados en una matriz de 26800 líneas (acimut), cada una de ellas de 5616 muestras (profundidad o range). Cada píxel de los datos brutos es un número complejo codificado en 1 + 1 bytes (parte real e imaginaria) [3]. El tamaño resultante de los datos brutos es de unos 300 MB. Los cálculos son realizados en formato flotante, resultando en una matriz de proceso de unos 1.2 GB. La imagen SAR obtenida del proceso tiene alrededor de 25000 líneas de 4912 muestras, codificadas en 2 + 2 bytes, ocupando alrededor de 500 MB (por sencillez sólo se presentan los datos de las imágenes SLC, Single Look Complex, aunque también

se pueden generar imágenes PRI, Precision multilook Image).

El método utilizado en el procesador SAR es el denominado CSA, Chirp Scaling Algorithm [4], [5]. El diagrama de flujo del procesador secuencial se muestra en la figura 1. Las principales características del procesador CSA son las siguientes:

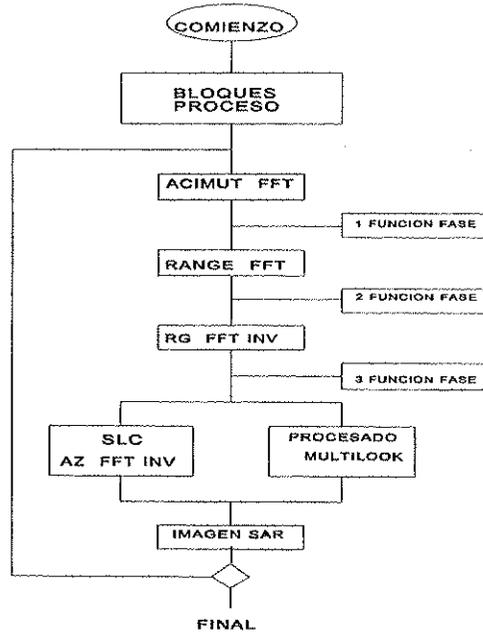
- El algoritmo CSA produce imágenes SAR de alta calidad, apropiadas para todo tipo de aplicaciones, incluyendo interferometría SAR.
- La compresión en profundidad se realiza al mismo tiempo que la compresión acimutal, con la consiguiente eficiencia computacional, al requerir tan sólo 4 FFT.

El procesador secuencial CSA ha sido sometido a un riguroso plan de pruebas para verificar que las imágenes producidas cumplen las especificaciones de la ESA [6], [7]. Respecto a las prestaciones computacionales, en la tabla 1 se indican los tiempos de proceso de una imagen SLC correspondiente a una escena completa (100 km x 100 km) para varias estaciones de trabajo UNIX.

DISEÑO DE LA PARALELIZACIÓN

La estrategia de paralelización que se ha adoptado es la llamada Proceso Multi-bloque. Ésta consiste básicamente en dividir la matriz de datos brutos en una serie de bloques de proceso independientes; cada uno de estos bloques es procesado totalmente en un ordenador de la red, produciéndose un pequeño trozo de la imagen final. El software PVM (Parallel Virtual Machine) es utilizado para controlar los procesos lanzados en los diferentes ordenadores [8].

El proceso multibloque puede considerarse como una paralelización de grano grueso. Las principales ventajas que aporta esta estrategia de paralelización son la independencia entre las tareas de los diferentes ordenadores, la minimización del número de lecturas y escrituras a disco y la reducción del volumen



ORDENADOR	TIEMPO
SS-10 Sun Sparc 10/40 40 MHz, 128 MB	210 min
HP-735 99 MHz, 96 MB	150 min
SS-20 Sun Sparc 20/70 75 MHz, 128 MB	135 min
SGI O2 180 MHz, 128 MB	85 min
HP-C160L 160 MHz, 128 MB	75 min
SU-1 Sun Ultra 1/170 167 MHz, 128 MB	75 min

Tabla 1. Tiempo de proceso, versión secuencial.

de datos a transferir por la red. Es interesante señalar que la implementación de la estrategia de paralelización es relativamente fácil, ya que el procesador CSA no tiene que ser dividido;

cada ordenador de la red dispone de una copia del procesador CSA, muy similar al procesador secuencial.

El principal inconveniente de la estrategia de proceso multi-bloque es referente a la eficiencia del proceso de correlación, que depende fuertemente del tamaño de los bloques de datos, y por tanto, de la memoria disponible en los ordenadores.

El diagrama de flujo del procesador paralelo se muestra en la figura 2. Todo el proceso está gobernado por un programa principal, que arranca una serie de tareas en los diferentes ordenadores de la red y gestiona las actividades en marcha. Estas tareas son:

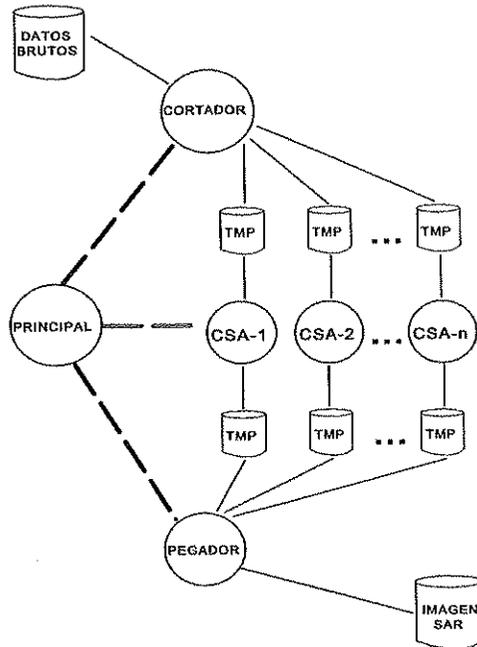
- Cortador. Es el proceso que se encarga de leer el fichero de datos brutos y generar los distintos bloques de proceso.
- Procesador CSA. Es una versión adaptada del algoritmo CSA, que procesa un único bloque de datos, producido por el cortador, y genera un trozo de la imagen final.
- Pegador. Es el responsable de ensamblar los diferentes trozos de imagen generados por los procesadores para formar la imagen final.

Cada procesador CSA está en un ordenador de la red. El proceso principal, el cortador y el pegador pueden estar en la misma o en diferentes estaciones; así mismo, pueden compaginar esa tarea con un procesador. Las prestaciones del procesador paralelo dependerán de la configuración seleccionada.

RESULTADOS PRELIMINARES

Las primeras pruebas del procesador paralelo están encaminadas a comprobar que la disminución del tiempo de proceso no se ha hecho a costa de la calidad de las imágenes producidas. En la tabla 2 se muestran los resultados obtenidos del análisis de calidad junto con las especificaciones de la ESA para la validación de procesadores SAR [9]. Todos los parámetros de calidad se encuentran dentro de las especificaciones de la ESA. Los datos

analizados corresponden al producto SLC (Single Look Complex).



PARÁMETRO	CSA	ESA
Res. Espacial, acim.	5.5 m	< 10 m
Res. espacial, prof.	9.5 m	< 10 m
PSLR, acimut	-25.8 dB	< -18 dB
PSLR, profundidad	-18.2 dB	< -18 dB
2-D ISLR	-14.4 dB	< -8 dB
Ambigüedad, acim.	-26.8 dB	< -25 dB
Res. Radiométrica	3.04 dB	3.03 dB
Diferencia de fase	0.002deg	< 0.1deg
Desviación dif. fases	2.0 deg	< 5.5deg

Tabla 2. Parámetros de calidad de las imágenes CSA SLC.

Para evaluar las prestaciones del procesador paralelo, definimos un factor de eficiencia como el cociente entre el número de imágenes generadas por el código paralelo y las producidas en el mismo tiempo por todas las estaciones de la red.

A continuación presentamos el tiempo de proceso y el factor de eficiencia del código paralelo para dos configuraciones de la red de ordenadores. En el primer ejemplo, contamos con 3 estaciones en la red. La tarea principal más el cortador y el pegador se instalan en SS-10, mientras que en SS-10 y SU-1 se ejecutan procesadores. El tiempo total de proceso es de 60 min, resultando en una eficiencia de 0.65.

En el segundo ejemplo disponemos de 4 nodos. La tarea principal, el cortador y el pegador se instalan en SS-10, mientras que en SU-1, SS-20 y HP-160 se ejecutan procesadores. El tiempo total de proceso es de 46 min, resultando en una eficiencia de 0.57.

CONCLUSIONES

Las actividades de la transformación de un procesador SAR secuencial a una arquitectura paralela han sido realizadas satisfactoriamente, incluyendo el diseño de la estrategia de la paralelización, la implementación de prototipos y la obtención de resultados preliminares. Estos primeros resultados son esperanzadores, y muestran mejoras importantes en el tiempo de proceso. Actualmente se está trabajando en la puesta a punto del código definitivo.

AGRADECIMIENTOS

Este trabajo ha sido parcialmente financiado por el programa PCI-II, ESPRIT IV de la Comunidad Europea.

BIBLIOGRAFÍA

- [1] Elachi C. "Spaceborne Radar Remote Sensing", IEEE Press, 1988.
- [2] Curlander J.C. & McDonough R.N. "SAR: Systems and Signal Processing", John Wiley & Sons, 1991.
- [3] ESA. "ESA ERS-1 Product Specifications", ESA SP-1149, 1992.
- [4] Raney K. et al. "Precision SAR Processing Using Chirp Scaling", IEEE Trans. Geosci. Remote Sensing, vol. 32 pp.786-799, 1994.
- [5] Martínez A. et al. "Un procesador SAR basado en el Chirp Scaling Algorithm", Rev. Teledetección 4 (1995) pp.20-24.
- [6] Martínez A. and Marchand J.L. "SAR image quality assessment", Rev. Teledetección 2 (1993) pp.12-18.
- [7] Martínez A. et al. "Advanced Algorithm Techniques: Enhancement of CSA and Quicklook SAR Algorithms Final Report", ESA ESTEC Contract 3-8616/95/NL/FM (1997).
- [8] Geist A. et al. "PVM 3 User's Guide and Reference Manual", report ORNL/TM-12187 (1994).
- [9] Sánchez J.I. and Laur H. "ERS-1 SAR Product Validation", Proc. CEOS SAR Calibration Workshop, ESA WPP-048, (1993) pp.295-305.